

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-37286

(43)公開日 平成8年(1996)2月6日

(51)Int.Cl.⁶

H 01 L 27/12
21/322

識別記号

B
J

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数4 O.L. (全7頁)

(21)出願番号

特願平6-169588

(22)出願日

平成6年(1994)7月21日

(71)出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71)出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者 井上陽子

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(72)発明者 佐俣秀一

神奈川県川崎市幸区堀川町72番地 株式会
社東芝堀川町工場内

(74)代理人 弁理士 佐藤一雄 (外3名)

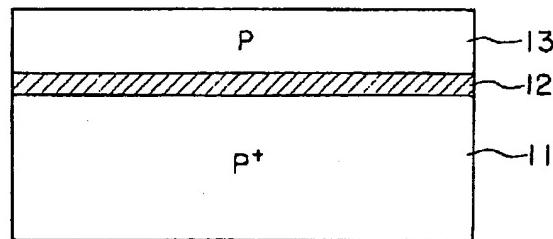
最終頁に続く

(54)【発明の名称】 半導体基板および半導体基板の製造方法

(57)【要約】

【目的】 ゲッタリング能力に優れ、サーマルドナーや結晶欠陥がない半導体基板、および、このような半導体基板を複雑な工程の追加やドーパント不純物濃度の低下を伴うことなく製造するための半導体基板の製造方法を提供する。

【構成】 支持基板11として比抵抗が0.1Ω·cm以下となるようにボロンを導入した高濃度P型基板を使用する。また、製造工程として、支持基板11を還元性雰囲気での熱処理を1100°C以上で30分以上行う第1熱処理工程と、この第1熱処理工程後の支持基板11に一方の表面に酸化膜12を形成した高濃度P型シリコン基板を支持基板11と酸化膜12とが接するように接着する接着工程と、この接着工程後の支持基板11、酸化膜12およびシリコン基板の熱処理を950°C以上で10分以上行う第2熱処理工程と、この第2熱処理工程後のシリコン基板を薄膜化する薄膜化工程とを備える。



【特許請求の範囲】

【請求項1】 単結晶シリコンからなる支持基板と、この支持基板上に形成された酸化膜と、この酸化膜上に形成されたP型、N型またはI型の単結晶シリコンからなる薄膜とを有する半導体基板において、

前記支持基板は、比抵抗が0.1Ω·cm以下となるようボロンを導入した高濃度P型基板であることを特徴とする半導体基板。

【請求項2】 前記薄膜の酸素濃度を $5 \times 10^{17} \text{ cm}^{-3}$ 以下とすることを特徴とする請求項1記載の半導体基板。

【請求項3】 ボロンを導入した高濃度P型単結晶シリコンからなる支持基板と、この支持基板上に形成された酸化膜と、この酸化膜上に形成されたP型、N型またはI型の単結晶シリコンからなる薄膜とを有する半導体基板の製造方法において、

前記支持基板に対して還元性雰囲気での熱処理を1100℃以上で30分以上行う第1熱処理工程と、この第1熱処理工程後の前記支持基板と、前記薄膜を形成するための高濃度P型シリコン基板とを、いずれかの基板の表面に形成された前記酸化膜を介して接するように接着する接着工程と、

この接着工程後の前記支持基板、前記酸化膜および前記シリコン基板の熱処理を950℃以上で10分以上行う第2熱処理工程と、

この第2熱処理工程後の前記シリコン基板を薄膜化する薄膜化工程と、

を備えたことを特徴とする半導体基板の製造方法。

【請求項4】 前記支持基板上に厚さが10μm以上5μm以下の前記酸化膜を形成する工程を有することを特徴とする請求項3記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体基板および半導体基板の製造方法に関するものであり、より詳細には、SOI(Silicon On Insulator)基板およびSOI基板の製造方法に関するものである。

【0002】

【従来の技術】 従来より、シリコン基板上に絶縁膜を介して単結晶シリコン薄膜を形成した半導体基板が知られており、SOI基板と称されている。このSOI基板は、以下のような長所を有している。

【0003】 通常のシリコン基板(SOIでないもの)を使用した場合には、半導体デバイスの微細化・高集積化に伴い、MOSトランジスタの短チャネル効果が生じ易くなる。この短チャネル効果の発生を防止する1つの方法として、基板表面の素子形成領域のドーパント不純物の濃度を上げる必要がある。しかし、通常のシリコン基板にイオン注入でドーパント不純物を導入する技術では、ゲート長が0.1μm以下となるような微細デバイスを形成する場合に、ドーパント不純物の濃度の制御が

十分に行なえず、MOSトランジスタのしきい値電圧の制御が困難となる。これに対して、SOI基板では、MOSトランジスタのチャンネル部分の完全空乏化が実現できるため、短チャネル効果の防止を図りやすい。

【0004】 また、SOI基板を使用した場合には、ソース・ドレイン拡散層に付随する寄生容量を低減させることができるので、MOSトランジスタの高速化を図ることができる。

【0005】 さらに、SOI基板の使用により、デバイス構造やデバイス製造プロセスの簡略化を図ることができるので、この点でもSOI基板を用いた半導体技術が注目されている。

【0006】 このようなSOI基板を製造する方法としては、2枚の単結晶シリコン基板を張り合わせる方法がある。これは、一方の単結晶シリコン基板の一方の表面に絶縁膜(例えばシリコン酸化膜)を形成し、この絶縁膜に他方の単結晶シリコン基板を接着し、さらに、いずれか一方の単結晶シリコン基板を裏面(接着面でない面)から研磨して薄膜化した後、研磨面をドライエッティングで平坦化するものである。

【0007】 また、SOI基板を製造する他の方法としては、単結晶シリコン基板上に絶縁膜を形成した後、この絶縁膜上に非結晶シリコン層を形成し、この非結晶シリコン層をレーザ等により溶融再結晶することによって単結晶シリコン層を形成する方法がある。

【0008】 さらに、SOI基板を製造する第3の方法として、単結晶シリコン基板に高濃度の酸素イオン注入を行った後に熱処理を行うことによって埋め込み酸化膜を形成し、これにより、絶縁層と単結晶シリコン層を得る方法(SIMOX法)もある。

【0009】

【発明が解決しようとする課題】 従来のSOI基板には、以下のような欠点があった。

(1) 上述したようなSOI基板を用いた場合、デバイス製造プロセス中の、汚染不純物をゲッタリングするための工程を追加することが望ましい。このため、単結晶シリコン基板の内部に酸素析出物を形成し、この酸素析出物に金属汚染物を捕獲することにより素子形成領域の金属汚染物を低減する方法(IG法)や、基板の裏面にポリシリコン層を形成し、このポリシリコンに金属汚染物を捕獲することにより金属汚染物を低減する方法(BSP; Backside Poly sealing法)等が、すでに提案されている。

【0010】 しかしながら、このようなゲッタリング工程が追加されることにより工程数が増加し、製造コスト上昇の原因になるという欠点があった。

【0011】 また、IG法やBSP法は、基板内部の酸素で誘起される結晶欠陥の密度(BMD密度)や基板裏面のポリシリコン膜の膜厚および結晶特性等にゲッタリング能力が依存するため、安定したゲッタリング能力が

得られない場合があるという欠点もあった。

(2) また、2枚の単結晶シリコン基板を張り合わせる製造方法では、かかる2枚の単結晶シリコン基板を接着するために熱処理が行われる。しかし、この熱処理工程においては、酸素析出物等の結晶欠陥が基板表面に形成されてしまう場合があり、デバイス不良が発生する原因となっていた。さらに、このような2枚の単結晶シリコン基板を張り合わせる製造方法では、単結晶シリコンの薄膜層内の酸素濃度が高い場合に、2枚の単結晶シリコン基板を接着する工程でこの酸素からサーマルドナーが生成されてしまい、比抵抗の変動あるいは結晶欠陥の発生によるデバイス不良の発生原因となっていた。

【0012】このような欠点を無くす方法としては、デバイスを形成する方の単結晶シリコン基板に対して、接着工程の前に予め非酸化性熱処理を施す方法が考えられる。しかし、このような非酸化性熱処理を施すと、結晶欠陥をほぼ完全に無くすことができるものの、非酸化性熱処理によってドーパント不純物も外方拡散されてしまうので、単結晶シリコン薄膜層内のドーパント不純物濃度が低下してしまうという新たな欠点を招く。

(3) 一方、レーザ等による溶融再結晶で単結晶シリコン層を形成する方法や、SIMOX法も、単結晶シリコン薄膜層中の欠陥を無くすことが困難であり、実用化の妨げとなっている。

【0013】本発明は、このような従来技術の欠点に鑑みてなされたものであり、高品質の半導体基板、すなわちゲッタリング能力に優れ、サーマルドナーや結晶欠陥が無い半導体基板、および、このような半導体基板を複雑な工程の追加やドーパント不純物濃度の低下を伴うことなく製造するための半導体基板の製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】

(1) 第1の発明に係わる半導体基板は、単結晶シリコンからなる支持基板と、この支持基板上に形成された酸化膜と、この酸化膜上に形成されたP型、N型またはI型の単結晶シリコンからなる薄膜とを有する半導体基板において、前記支持基板は、比抵抗が $0.1\Omega\cdot cm$ 以下となるようにボロンを導入した高濃度P型基板であることを特徴とする。

(2) また、第1の発明に係わる半導体基板においては、前記薄膜の酸素濃度を $5\times 10^{17} cm^{-3}$ 以下とすることが望ましい。

(3) 第2の発明に係わる半導体基板の製造方法は、ボロンを導入した高濃度P型単結晶シリコンからなる支持基板と、この支持基板上に形成された酸化膜と、この酸化膜上に形成されたP型、N型またはI型の単結晶シリコンからなる薄膜とを有する半導体基板の製造方法において、前記支持基板に対して還元性雰囲気での熱処理を $1000^{\circ}C$ 以上で30分以上行う第1熱処理工程と、この

第1熱処理工程後の前記支持基板と、前記薄膜を形成するための高濃度P型シリコン基板とを、いずれかの基板の表面に形成された前記酸化膜を介して接するように接着する接着工程と、この接着工程後の前記支持基板、前記酸化膜および前記シリコン基板の熱処理を $950^{\circ}C$ 以上で10分以上行う第2熱処理工程と、この第2熱処理工程後の前記シリコン基板を薄膜化する薄膜化工程と、を備えたことを特徴とする。

(4) また、第2の発明に係わる半導体基板においては薄膜層と支持基板の間の酸化膜層を $10\mu m$ 以上 $5\mu m$ 以下とすることが望ましい。

【0015】

【作用】

(1) 第1の発明に係わる半導体基板によれば、支持基板に比抵抗が $0.1\Omega\cdot cm$ 以下となるようにボロンを導入したことにより、安定したゲッタリング能力を得ることができる。

(2) また、第1の発明に係わる半導体基板に半導体基板において、薄膜の酸素濃度を $5\times 10^{17} cm^{-3}$ 以下(旧ASTM)とすることにより、サーマルドナーの発生を防止することができる。

(3) 第2の発明に係わる半導体基板によれば、還元性雰囲気での熱処理を $1100^{\circ}C$ 以上で30分以上行う第1熱処理工程を備えているので、結晶欠陥をほぼ完全に無くすことができる。ここで、この第1熱処理工程でドーパント不純物も外方拡散されてしまうが、ボロンを導入した高濃度P型単結晶シリコンからなる支持基板を使用すること及び接着工程後の支持基板、酸化膜およびシリコン基板の熱処理を $950^{\circ}C$ 以上で10分以上行う第2熱処理工程を備えていることにより、この支持基板内のボロンを単結晶シリコン薄膜層内に拡散させることができるので、この単結晶シリコン薄膜層内のドーパント不純物濃度の低下を防止することができる。

(4) また、第2の発明に係わる半導体基板においては薄膜層と支持基板の間の酸化膜層を $10\mu m$ 以上とすることで十分な電気的絶縁性を確保し、また $5\mu m$ 以下とすることで基板のそりを実用上十分な範囲にできる。

【0016】

【実施例】以下、本発明の一実施例について、図面を用いて説明する。

【0017】まず、本発明に係わる半導体基板および従来の半導体基板を作製した。これらの基板の層構造は、いずれも、図1に示すように、単結晶シリコンからなる支持基板11と、この支持基板11上に形成された酸化膜12と、この酸化膜12上に形成された単結晶シリコン薄膜13とを有する構造とした。

【0018】実施例1として、第1の発明(請求項1)に係わる半導体基板を作製した。この半導体基板においては、支持基板11としては比抵抗 $\rho_{sub}=0.05\Omega$

・cmのボロンドープのP⁺型単結晶シリコン基板を用い、酸化膜12としては膜厚1μmの熱酸化膜SiO₂を用い、また、単結晶シリコン薄膜13としては膜厚0.1μm、比抵抗ρ=10Ω・cm、酸素濃度[O_i]=13.5×10¹⁷cm⁻³のボロンドープのP型単結晶シリコンを用いた。

【0019】実施例1の半導体基板は、以下のようにして作製した。まず、支持基板11に熱酸化を施すことにより、酸化膜12を形成する。単結晶シリコン薄膜13を形成するためのシリコン基板と支持基板11とを接合した後、窒素雰囲気中で1000℃、30分の熱処理を行うことにより、これらの基板の接着を行う。そして、単結晶シリコン薄膜13を形成するためのシリコン基板の裏面（接着面でない方の面）を研磨し、続いてドライエッティングにより表面を平坦化し、その後タッチミラー加工によってさらに平坦化することにより、単結晶シリコン薄膜13を形成し、実施例1の半導体基板を得る。

【0020】なお、2種類の単結晶シリコン基板の結晶育成法としては、いずれもCZ法を用いた。

【0021】また、実施例2として、第1の発明（請求項1および請求項2）に係わる半導体基板を作製した。この半導体基板においては、支持基板11としては比抵抗ρ_{sub}=0.05Ω・cmのボロンドープのP⁺型単結晶シリコン基板を用い、酸化膜12としては膜厚1μmの熱酸化膜SiO₂を用い、また、単結晶シリコン薄膜13としては膜厚0.1μm、比抵抗ρ=10Ω・cm、酸素濃度[O_i]=3×10¹⁷cm⁻³のボロンドープのP型単結晶シリコンを用いた。ここで、半導体基板の製造方法は、上述の実施例1と同様とした。また、2種類の単結晶シリコン基板の結晶育成法としては、CZ法あるいはMCZ法を用いた。

【0022】実施例3として、第2の発明（請求項3及び4）に係わる半導体基板を作製した。この半導体基板においては、支持基板11としては比抵抗ρ_{sub}=0.05Ω・cmのボロンドープのP⁺型単結晶シリコン基板を用い、酸化膜12としては膜厚50nmの熱酸化膜SiO₂を用い、また、単結晶シリコン薄膜13としては膜厚0.1μm、比抵抗ρ=10Ω・cm、酸素濃度[O_i]=13.5×10¹⁷cm⁻³のボロンドープのP型単結晶シリコンを用いた。なお、酸化膜12の膜厚を実施例1、2の場合よりも薄くしたのは、酸化膜厚が薄い場合であって請求項4で規定した範囲であれば実用上十分な電気的絶縁性が得られる事を確認するためである。

【0023】実施例3の半導体基板は、以下のようにして作製した。まず、支持基板11に熱酸化を施すことにより、酸化膜12を形成する。次に、単結晶シリコン薄膜13を形成するためのシリコン基板に対して、水素H₂雰囲気中で、1200℃、60分の熱処理（結晶欠陥

を無くすための非酸化性熱処理）を行う。続いて、単結晶シリコン薄膜13を形成するためのシリコン基板と支持基板11とを接合した後、窒素雰囲気中で1000℃、30分の熱処理を行うことにより、これらの基板の接着を行う。最後に、単結晶シリコン薄膜13を形成するためのシリコン基板の裏面（接着面でない方の面）を研磨し、続いてドライエッティングにより表面を平坦化し、その後タッチミラー加工によってさらに平坦化することにより、単結晶シリコン薄膜13を形成し、実施例1の半導体基板を得る。

【0024】なお、2種類の単結晶シリコン基板の結晶育成法としては、いずれもCZ法を用いた。

【0025】従来例1として、支持基板11としては比抵抗ρ_{sub}=10Ω・cmのボロンドープのP型単結晶シリコン基板を用い、酸化膜12としては膜厚1μmの熱酸化膜SiO₂を用い、また、単結晶シリコン薄膜13としては膜厚0.1μm、比抵抗ρ=10Ω・cm、酸素濃度[O_i]=13.5×10¹⁷cm⁻³のボロンドープのP型単結晶シリコンを用いた半導体基板を作製した。ここで、半導体基板の製造方法は、上述の実施例1の場合と同様とした。また、2種類の単結晶シリコン基板の結晶育成法としては、いずれもCZ法を用いた。

【0026】従来例2として、支持基板11としては比抵抗ρ_{sub}=10Ω・cmのボロンドープのP型単結晶シリコン基板を用い、酸化膜12としては膜厚50nmの熱酸化膜SiO₂を用い、また、単結晶シリコン薄膜13としては膜厚0.1μm、比抵抗ρ=10Ω・cm、酸素濃度[O_i]=13.5×10¹⁷cm⁻³のボロンドープのP型単結晶シリコンを用いた半導体基板を作製した。ここで、2種類の単結晶シリコン基板の結晶育成法としては、いずれもCZ法を用いた。

【0027】従来例2の半導体基板は、以下のようにして作製した。まず、支持基板11に熱酸化を施すことにより、酸化膜12を形成する。次に、単結晶シリコン薄膜13を形成するためのシリコン基板に対して、水素雰囲気中で、1200℃、60分の熱処理（結晶欠陥を無くすための非酸化性熱処理）を行う。続いて、単結晶シリコン薄膜13を形成するためのシリコン基板と支持基板11とを接合した後、窒素雰囲気中で1000℃、30分の熱処理を行うことにより、これらの基板の接着を行う。最後に、単結晶シリコン薄膜13を形成するためのシリコン基板の裏面（接着面でない方の面）を研磨し、続いてドライエッティングにより表面を平坦化し、その後タッチミラー加工によってさらに平坦化することにより、単結晶シリコン薄膜13を形成し、従来例2の半導体基板を得る。

【0028】次に、実施例1～3および従来例1、2の評価結果について説明する。

【0029】まず、実施例1、2（第1の発明）と従来例1との比較結果について説明する。なお、上述のよう

に、実施例1は、高濃度のボロンをドープして支持基板11の比抵抗 ρ_{sub} を小さくした($\rho_{\text{sub}} = 0.05 \Omega \cdot \text{cm}$)点で、従来例1と異なる。また、実施例2は、比抵抗 ρ_{sub} を小さくした点と、薄膜13の酸素濃度を小さくした($[\text{O}_i] = 3 \times 10^{17} \text{ cm}^{-3}$)点で、従来例1と異なる。

【0030】実施例1、2および従来例1の半導体基板をそれぞれ用いて64M DRAM(Dynamic Random Access Memory)を作製し、これらの64M DRAMのD/S試験を行った。その結果、実施例1の歩留まりは、従来例1の歩留まりよりも5パーセント高かった。本発明者の検討によれば、ボロンドープの高濃度P型単結晶シリコン支持基板11の比抵抗(ボロンのドープ量に依存する)と不良品の発生率(歩留まりの逆数)との関係は、図2のようになった。

【0031】また、実施例1、2および従来例1の不良カテゴリーおよび基板表面の結晶欠陥評価を行った結果、従来例1の基板表面の一部にはOSF(Oxidation induced Stacking Fault)等の結晶欠陥の発生が見られ、PN接合リーケ不良の発生も確認された。一方、実施例1、2では、基板表面の結晶欠陥の発生は見られず、PN接合リーケ不良の発生も確認されなかった。これは、実施例1、2では、高濃度のボロンを含む支持基板を用いたため、ボロンによるゲッタリング効果によってデバイス製造プロセス中の汚染が基板表面から除去され、プロセス汚染に起因する結晶欠陥の発生が防止できたためである。

【0032】また、実施例1では実施例2よりわずかにD/S歩留りの低下が見られた。これは実施例1ではシリコン薄膜中の固溶酸素の影響でサーマルドナーが発生し、しきい値分布をわずかに変動させたためである。また、サーマルドナー起因と思われる結晶欠陥も見られ、これも歩留り低下の原因となった。

【0033】さらに、実施例1、2および従来例1の各半導体基板について、 $10^{12} \text{ atoms/cm}^2$ のFeを用いて強制的に汚染し、デバイス相当の熱処理を行った後で、基板表面より深さ方向のFe分布評価を行った。この結果、従来例1では、支持基板11と酸化膜12と界面および酸化膜12と薄膜13と界面にFeの偏析が見られ、また、支持基板11内や薄膜13内でもFeが検出された。また、基板表面の一部にはOSFが発生していた。一方、実施例1、2では、Feは支持基板11中には多量に検出されたが薄膜13中では検出限界以下であった。また、基板表面のOSFも検出されなかった。これは、実施例1、2では、支持基板11中の高濃度ボロンによってFeがゲッタリングされ、これにより薄膜13中の結晶欠陥の発生が防止されたことを示している。

【0034】続いて、実施例3(第2の発明)と従来例2との比較結果について説明する。上述のように、実施例3は、高濃度のボロンをドープして支持基板11の比

抵抗 ρ_{sub} を小さくし($\rho_{\text{sub}} = 0.05 \Omega \cdot \text{cm}$)た
点で、従来例2と異なる。なお、実施例3は、熱処理工
程の条件等が上述の実施例1、2と異なっている。

【0035】続いて、実施例3および従来例2の半導体
基板をそれぞれ用いて64MのDRAMを作製し、これ
らのDRAMのD/S試験を行った。その結果、実施例
3の歩留まりは、従来例1の歩留まりよりも10パーセ
ント以上高かった。

【0036】また、不良カテゴリーを調べたところ、図
3に示すように、従来例2では、しきい値電圧 V_{TH} が設
計値よりも大きく変化し、分布の幅も大きくなつたの
に対し、実施例3では、しきい値電圧 V_{TH} が設計値とほ
ぼ一致し、分布の幅も小さかった。

【0037】この原因を調べるために、実施例3および
従来例2の薄膜13の比抵抗を測定した。その結果、実
施例3の薄膜13の比抵抗は、この薄膜13を形成する
前のシリコン基板の比抵抗とほぼ同じ値であった。一
方、従来例2の薄膜13の比抵抗は、この薄膜13を形
成する前のシリコン基板の比抵抗の3倍以上高くなつ
ており、また、比抵抗値の分布の幅も大きくなっていた。
すなわち、従来例2では、高温非酸化性熱処理によりド
ーパント不純物の外方拡散が生じて比抵抗が増加し、こ
のために、しきい値電圧 V_{TH} が増加したのである。これ
に対し、実施例3では、ドーパント不純物の外方拡散は
生じるもの、その後の接着工程での熱処理で支持基板
11から薄膜13にドーパント不純物が供給されるの
で、比抵抗は増加せず、したがって、しきい値電圧 V_{TH}
も変化しない。ここで、実施例3の半導体基板において
支持基板11から薄膜13へのドーパント不純物の拡散
が行われるのは、支持基板11のドーパント濃度が高
く、且つ、本発明の第2の熱処理工程が行われたからで
ある。

【0038】なお、図3では、従来例2の方がしきい値
分圧の分布の幅も大きくなっているが、このような分布
幅を製造プロセスにおけるイオン注入等で補正するこ
とは困難である。これに対して、実施例3では、しきい値
電圧の分布の幅を小さく抑えることができる。

【0039】また、実施例3および従来例2の不良カテゴリーおよび基板表面の結晶欠陥評価を行った結果、従来例2の一部の半導体基板の表面に結晶欠陥の発生が見られ、PN接合リーケ不良の発生も確認された。一方、実施例3では、基板表面の結晶欠陥の発生は見られず、PN接合リーケ不良の発生も確認されなかった。これは、実施例3では、上述の実施例1、2の場合と同様、高濃度のボロンを含む支持基板を用いたため、ボロンによるゲッタリング効果によってデバイス製造プロセス中の汚染が基板表面から除去され、プロセス汚染に起因する結晶欠陥の発生が防止できたためである。このよう
に、実施例3は、高濃度のボロンをドープして支持基板
11の比抵抗 ρ_{sub} を小さくしている($\rho_{\text{sub}} = 0.0$

$5 \Omega \cdot \text{cm}$ 点で実施例1、2と一致しているので、第2の発明の効果に加えて第1の発明の効果も得ることができる。

【0040】次に、実施例1、2と実施例3とを比較した結果について説明する。

【0041】D/S試験の結果について実施例1、2と実施例3とを比較すると、実施例3は実施例1、2と比較して歩留まりが5パーセント高くなっている。また、不良カテゴリーについては、実施例3は、実施例1、2と比較して、PN接合リーフおよびゲート酸化膜不良が、さらに少ない。これは、実施例3では高熱非酸化処理を行っているので、薄膜13の結晶欠陥やサーマルドナーをほぼ完全に無くすことができ、OSF等の結晶欠陥に起因するPN接合リーフや、BMD等の結晶欠陥に起因するゲート酸化膜不良及びサーマルドナー起因のしきい値電圧のずれを低減することができるためである。

【0042】以上説明したように、実施例1～3によれば、ゲッタリング能力に優れ、サーマルドナーや結晶欠陥が無い半導体基板を提供することができ、且つ、このような半導体基板をドーパント不純物濃度の低下を伴うことなく製造することができる。

【0043】また、複雑なゲッタリング工程を追加することなくゲッタリング能力を向上させることができるので、製造コストの上昇を抑えることができる。

【0044】さらに、高濃度P型基板を用いたので、IG基板を使用する場合のような熱処理工程や、BSP基板を使用する場合のようなCVD工程を追加する必要がなく、基板製造工程のさらなる簡略化が可能である。

【0045】なお、以上説明した各実施例1～3では、支持基板の比抵抗を $\rho_{\text{sub}} = 0.05 \Omega \cdot \text{cm}$ としたが、図2に示すD/S不良率の測定結果より、 $0.1 \Omega \cdot \text{cm}$ 以下であれば第1の発明の効果を得ることができる。

【0046】また、実施例2では薄膜13の酸素濃度を $[O_i] = 3 \times 10^{17} \text{ cm}^{-3}$ としたが、本発明者の検討によれば、 $5 \times 10^{17} \text{ cm}^{-3}$ 以下であれば、サーマルドナーの発生を防止することができる。酸素濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以下の薄膜を得るためにには、もともと酸素濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以下の単結晶シリコン基板を用いるか、または、還元性雰囲気での高温熱処理を行えばよい。

【0047】酸化膜12(SOI基板の絶縁膜)としては、 SiO_2 膜を使用することが望ましく、また、膜厚は 10 nm 以上 $5 \mu\text{m}$ 以下とすることが望ましい。膜厚が 10 nm 未満の場合は電気的絶縁不良が発生し、また、 $5 \mu\text{m}$ を越える場合は半導体基板の反りが大きくなり過ぎて、実用化が困難なためである。

【0048】薄膜13の厚さは、 10 nm 以上 $10 \mu\text{m}$ 以下とすることが望ましい。 10 nm 未満ではデバイス製造プロセス中の酸化や酸化膜エッチングによりシリコ

ン薄膜の消失が起こってしまい、また、 $10 \mu\text{m}$ を越えると支持基板11から供給されたボロンが薄膜13の表面にまで拡散しなくなるからである。

【0049】また、高温非酸化性熱処理(第2の発明の第1熱処理工程)は、実施例3では 1200°C 、60分としたが、少なくとも 1100°C 以上且つ30分以上としなければならない。これ以下の条件では酸素の十分な外方拡散が行えず、結晶欠陥やサーマルドナーの発生が防止できないからである。また、実施例3では、この高温非酸化性熱処理を水素ガス H_2 雰囲気下で行ったが、 CO 、 CO_2 、 Ar 、 He 、 Ne 、 Kr 、 Xe 等のガスを使用してもよいし、これらのガスを組み合わせたものを使用してもよい。

【0050】基板接着のための熱処理(第2の発明の第2熱処理工程)は、実施例3では 1000°C 、30分としたが、少なくとも 950°C 以上且つ10分以上とすれば、薄膜13の比抵抗が $0.1 \sim 100 \Omega \cdot \text{cm}$ の範囲で、第2の発明の効果を得ることができる。但し、薄膜13の比抵抗に応じて支持基板11の比抵抗、酸化膜12の膜厚および該熱処理の温度・時間を変更する必要がある。

ここで、実施例3では基板接着のための熱処理工程を本発明の第2熱処理工程としたが、両工程を別個に行ってもよいことはもちろんである。すなわち、基板接着のための熱処理工程を行った後で、支持基板11から薄膜13へのドーパント不純物の供給のための熱処理工程(本発明の第2熱処理工程)を行うこととしても、本発明の効果を得ることができ、このような製造方法も本願の第2の発明(請求項3)に含まれるものとする。但し、製造工程を簡略化するためには、本実施例のように、両工程を一工程として同時に実施することが望ましい。

【0051】実施例1～3では、CZ法で結晶育成させたP型基板により薄膜13を形成したが、他の方法で結晶育成させたもの、例えばFZ(Floating zone)法、MCZ(Magnetic Czochralski)法、CCZ(Continuous Czochralski)法、DLCZ(Double Layered Czochralski)法等でもよく、また、N型やI型の基板を用いてよい。

【0052】また、各実施例1～3において、単結晶シリコン薄膜13の比抵抗は $10 \Omega \cdot \text{cm}$ としたが、 $0.1 \sim 100 \Omega \cdot \text{cm}$ であれば、本発明の効果を得ることができる。

【0053】

【発明の効果】以上詳細に説明したように、本発明によれば、ゲッタリング能力に優れ、サーマルドナーや結晶欠陥が無い半導体基板、および、このような半導体基板を複雑な工程の追加やドーパント不純物濃度の低下を伴うことなく製造するための半導体基板の製造方法を提供することができる。

【0054】そして、本発明の半導体基板によれば、PN

11

接合リーキ不良やしきい値電圧の製造ばらつきを低減させたDRAMを製造することができる。

【図面の簡単な説明】

【図1】本発明の各実施例1～3に係る半導体基板の構成を概略的に示す断面図である。

【図2】高濃度P型単結晶シリコン支持基板の比抵抗と不良品の発生率との関係を示すグラフである。

12

【図3】しきい値電圧および製造ばらつきについて、実施例3と従来例2とを比較するためのグラフである。

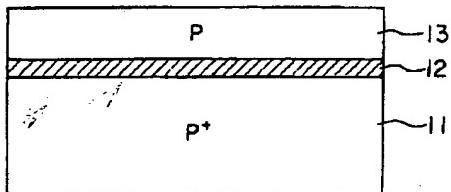
【符号の説明】

1 1 支持基板

1 2 酸化膜

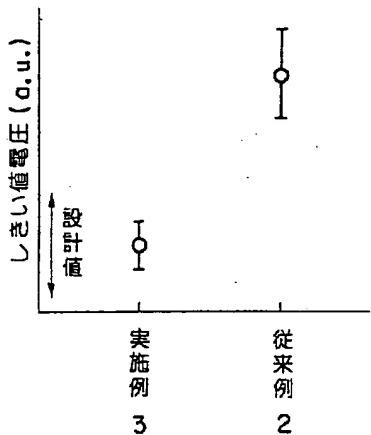
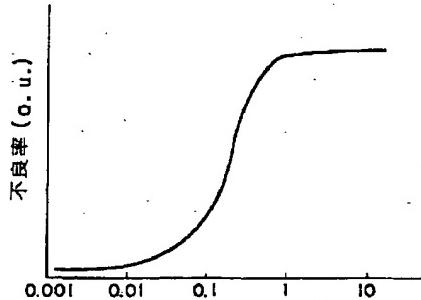
1 3 単結晶シリコン薄膜

【図1】



【図3】

【図2】



フロントページの続き

(72)発明者 松下嘉明

神奈川県川崎市幸区堀川町72番地 株式会社東芝堀川工場内